

**ELECTRONIC DEVICE HAVING MULTILAYER INTERCONNECTION**

Patent Number: JP61150237  
Publication date: 1986-07-08  
Inventor(s): TAKAGI TATSUTOSHI; others: 02  
Applicant(s): HITACHI LTD; others: 01  
Requested Patent: ☐ JP61150237  
Application Number: JP19840270919 19841224  
Priority Number(s):  
IPC Classification: H01L21/88  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To contrive to fine wirings on the upper layer insulation film and to improve the efficiency of integration by a method wherein a through-hole bored in the upper layer insulation film is formed at such a position that its diameter may be smaller than that of a through-hole bored in the lower layer insulation film.

**CONSTITUTION:** A semiconductor element 11 is formed on the main surface of an Si semiconductor substrate. The surface oxide film 2 is photoetched for contact, and the first layer Al wiring 3 is formed by Al evaporation. A varnish of high-purity polyimide series resin is applied and baked into the first interlayer film 4. Next, a through-hole 8 is bored at the part of connection with the second layer wiring, and the second layer Al wiring 5 is formed on the first interlayer film 4 and connected to the first layer Al wiring through the through-hole 8, and the second interlayer film 6 is formed. Then, a through-hole 9 is bored, and the third layer Al wiring 7 is formed on the second interlayer film 6 and connected to the second layer Al wiring 5 through the through-hole 9. The final protection film 10 is formed. This process enables the opening of through-holes of small diameter by using the same mask, and Al wiring pattern can be made the finer, contriving to increase the integration.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-150237

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和61年(1986)7月8日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 多層配線を有する電子装置

⑰ 特 願 昭59-270919

⑱ 出 願 昭59(1984)12月24日

⑲ 発 明 者 高 木 辰 逸 高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑲ 発 明 者 市 川 貴 吉 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内  
⑲ 発 明 者 稲 葉 透 高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 小平市上水本町1479番地  
⑲ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 多層配線を有する電子装置

特許請求の範囲

1. 基板上に多層の配線が層間にそれぞれに絶縁膜を介して形成され、上下の配線がそれらの絶縁膜にけられた透孔を通して接続されている電子装置であって、上層の絶縁膜にけられる透孔は下層の絶縁膜にけられる透孔よりも口径が小さく、又は、小さくなるような位置を選んで形成されることを特徴とする多層配線を有する電子装置。
2. 上層の絶縁膜にけられる透孔位置は下層の絶縁膜が上に突出する部分に選ばれる特許請求の範囲第1項に記載の多層配線を有する電子装置。
3. 上記絶縁膜はポリイミド系樹脂膜である特許請求の範囲第1項又は第2項に記載の多層配線を有する電子装置。
4. 上記基板は半導体素子が形成された半導体基板である特許請求の範囲第1項又は第2項に記載の多層配線を有する電子装置。

発明の詳細な説明

〔技術分野〕

本発明は多層配線を有する電子装置に関し、主としてポリイミド系樹脂を層間絶縁膜とする多層配線を有する半導体装置を対象とする。

〔背景技術〕

半導体装置の高密度化に伴って、これまでの単層構造のアルミニウム配線が多層配線層化、すなわち、2層化、3層化してきている。

多層配線構造において、アルミニウム配線層間の絶縁膜として、従来より使用されていたSiO<sub>2</sub>

(シリコン酸化物)系の無機絶縁膜は上層になるほど表面の段差が大きく、その平坦化が困難である。このため、2層や3層の配線構造では、表面平坦化のできる高耐熱性有機樹脂、たとえばポリイミド系樹脂が使用される。このポリイミド系樹脂には、高純度ポリイミド系樹脂或いは感光性ポリイミドが知られている。(工業調査会発行、「電子材料」、1983年7月、P30-34)

多層配線構造において、上層の配線と下層の配線とを電気的に接続するには、層間の絶縁膜にあ

けたスルーホール（透孔）を通して行うが、配線が3層以上になり、層間絶縁膜が多層化してくると、上層の絶縁膜ほど厚くなる。これは、ポリイミド系樹脂を層間膜として使用する場合、上層膜表面の平坦化を得るために下層に生じた段差を埋め込むように上層の樹脂を十分に厚く形成する必要があるからである。

第3図はポリイミド系樹脂を層間膜に使った多層配線構造の例を示すものである。同図において、1はSi（シリコン）半導体基体、2は半導体酸化膜（ $\text{SiO}_2$ ）からなる基体表面絶縁膜、3は第1層Al（アルミニウム）配線、4はポリイミド系樹脂よりなる第1層間膜、5は第2層Al配線、6はポリイミド系樹脂よりなる第2層間膜、7は第3層Al配線である。第1層Al配線3と第2層Al配線5とは、第1層間膜4のスルーホール8を通じて、また、第2層Al配線と第3層Al配線8とは、第2層間膜のスルーホール9を通じてそれぞれ接続される。

同図に示すように、層間絶縁膜は上層ほど厚く

(3)

それにポリイミド系樹脂などの絶縁膜を介して形成され、上下の配線がその層間の絶縁膜にあけられたスルーホールを通して接続された半導体装置や電子装置において、上層の絶縁膜にあけるスルーホールを下層の絶縁膜にあけるスルーホールよりも、口径を小さくなるような位置に形成することにより、上層の絶縁膜上の配線の微細化を図り、集積効率が向上し、前記発明の目的を達成するものである。

#### 〔実施例1〕

第1図は本発明の一実施例を示すものであり、半導体装置における3層Al配線構造の断面図である。第2図は第1図に対応する平面図である。同図における各構成部分の指示記号は、これと共通の構成部分をもつ第3図のそれと同じ指示記号が用いられている。

第5図乃至第10図は上記3層Al配線構造を製造するプロセスの工程断面図であって、以下その各工程にそって説明すると下記のとおりである。

(1) Si（シリコン）半導体基板主表面に不純物

なるため、スルーホールエッチの際に、同じパターンのマスクを用いても、厚い膜ではサイドエッチが多く進み、上層ほどスルーホールの口径が大きくなっていく。とくに上下のスルーホールが平面的に重なったり、近接位置にあるとき、上層のスルーホールが大きくなりがちである。

このことにより、第4図に示すように、上層のAl配線ほど配線面積が大きくとられ、全体として、集積効率が低下することになった。

本発明は上記した問題を克服するためになされたものである。

#### 〔発明の目的〕

本発明の目的とするところは、多層配線構造を有する半導体装置や電子装置において、集積効率を向上することにある。

#### 〔発明の概要〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、基板上に多層の配線が、層間にそれ

(4)

選択拡散による半導体素子11を形成する。

#### 〔第5図〕

(2) 表面酸化膜2をコンタクトホトエッチし、Al（アルミニウム）蒸着（又はスパッタ）し、パターニングによって第1層Al配線3を形成する。（第6図）

(3) 高純度ポリイミド系樹脂、たとえばポリイミド・イソインドロキナゾリンジオンのワニスを塗布し、ベークして第1層の層間膜4を形成する。次いでホトレジストマスクを使用してヒドラジンエッチにより第2層配線との接続部分にスルーホール8をあける。（第7図）

なお、上記ポリイミド系樹脂の代わりに、感光性ポリイミドたとえば全芳香族ポリイミドの前駆体に感光性を付与したもののワニスを塗布し、プリベーク後、それ自体を部分的に感光させることによってスルーホールパターンを得るようにしてもよい。

(4) 第2層Al配線5を工程(2)と同じ方法により、第1層の層間膜4上に形成し、スルーホ

(5)

—182—

(6)

ール8を通して第1層A<sub>2</sub>配線と接続する。

(5) 工程(3)と同じ方法により、ポリイミド系樹脂、又は感光性ポリイミドからなる第2層の層間膜6を形成する。

この第2層間膜6の膜厚 $t_2$ は第1層間膜4の膜厚 $t_1$ よりもいく分厚くなる。

次いで工程(3)と同じ方法により、この後に形成する第3層A<sub>2</sub>配線と第2層配線5との接続部分にスルーホール9をあける。このスルーホールをあける位置は、第1層間膜4のスルーホール8からずれた位置で、なるべく第1層間膜4が盛り上った位置が選ばれる。

(6) 第3層A<sub>2</sub>配線7を工程(2)(4)と同じ方法により、第2層間膜6上に形成し、スルーホール(9)を通して第2層A<sub>2</sub>配線5と接続する。(第10図)このあとポリイミド系樹脂ワニス塗布することにより、第2図に示すように第3層A<sub>2</sub>配線7を覆うように最終の保護10を形成する。

〔発明の効果〕

#### (7)

層間膜ではスルーホール部からずれた位置を選ぶことにより、同じマスクを使って口径の小さいスルーホールをあけることができる。

(2) スルーホールの口径が小さくなれば、その上に設けるA<sub>2</sub>配線の幅を小さく形成することができる。たとえば、従来のスルーホールの径6 $\mu$ mに対してA<sub>2</sub>配線の幅は12 $\mu$ mを必要としたが、本発明では、スルーホール径4 $\mu$ mとすることにより、A<sub>2</sub>配線幅を8 $\mu$ mとすることができ、それだけA<sub>2</sub>配線パターンの微細化ができ、高集積化が図られる。

#### 〔実施例2〕

第13図は本発明の他の一実施例を示すものであって、4層のA<sub>2</sub>配線A<sub>21</sub>、A<sub>22</sub>、A<sub>23</sub>、A<sub>24</sub>を、層間膜Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>を介して積層した配線構造を示すものである。

この実施例では、上層の層間膜厚Q<sub>3</sub>、Q<sub>2</sub>を下層の層間膜Q<sub>2</sub>、Q<sub>1</sub>の膜厚と同じ、又はそれよりも薄くし、スルーホールマスクパターンは、上層にいくほど小さいものを使用することにより、

以上実施例で述べた本発明によれば、下記のよ

(1) 第11図に示すように、凸凹を有する下地(絶縁膜)12の上にA<sub>2</sub>配線13を形成し、この上にポリイミド系樹脂を使って下地の凹凸を吸和し平坦感光するように層間絶縁膜14を形成した場合、下地の突出する部分Aのうえの層間膜の厚 $t_a$ と下地のくぼんだ部分Bの上の層間膜の厚 $t_b$ との間には、 $t_b < t_a$ の関係がある。このため層間膜14の上にホトレジスト膜15により同じ口径 $a_1 = a_2$ の窓孔をもつマスクを通してスルーホールエッチを行った場合、深さの小さい( $t_b$ )スルーホール16Aに比べて、深さの大きい( $t_a$ )スルーホール16Bはサイドエッチが大きいために、スルーホール16Aの口径 $b_1$ よりも、スルーホール16Bの口径 $b_2$ は大きいものとなる。(第12図)

したがって、上層の層間絶縁膜において、スルーホールをあける位置を下層の層間絶縁膜の盛り上った位置、すなわち第9図で示すように、第1

#### (8)

上層の層間膜のスルーホール口径を下層の層間膜のスルーホール口径よりも小さく形成したものである。第14図は上記A<sub>2</sub>配線パターンとスルーホールTHの配置を示す平面図である。

#### 〔発明の効果〕

上層の層間膜のスルーホール口径TH<sub>1</sub>、TH<sub>2</sub>、TH<sub>3</sub>を下層のそれより小さくすることにより、上層絶縁膜上のA<sub>2</sub>配線の幅を下層のA<sub>2</sub>配線の幅よりも小さく形成することができ、上層のA<sub>2</sub>配線のパターンの微細化をさらにすすめることが可能となる。

この場合、下層のA<sub>2</sub>配線幅は大きいものを使用でき、たとえば第1層A<sub>2</sub>配線A<sub>21</sub>又は第2層A<sub>22</sub>を電源配線(Vcc)等に接続するように使用すればよい。

#### 〔利用分野〕

本発明はポリイミド系樹脂を層間膜として使用する多層配線構造をもつ半導体装置に適用できる。

以上の説明では、主として本発明によってなされた発明をその背景となった利用分野である半導

体装置の配線構造に適用した場合について説明したが、それに限定されるものではなく、たとえば配線基板における電極形成に適用することもできる。

#### 図面の簡単な説明

第1図は本発明の実施例を示す半導体装置の断面図、

第2図は第1図に対応する平面図である。

第3図は3層配線構造を有する半導体装置の一例を示す断面図、

第4図は第3図に対応する平面図である。

第5図及至第10図は、第1図に示す半導体装置を製造するプロセスの工程断面図である。

第11図は本発明の効果を説明するための層間膜の断面、

第12図は第11図に対応する平面図である。

第13図は本発明の実施例を示す4層配線構造の断面図、

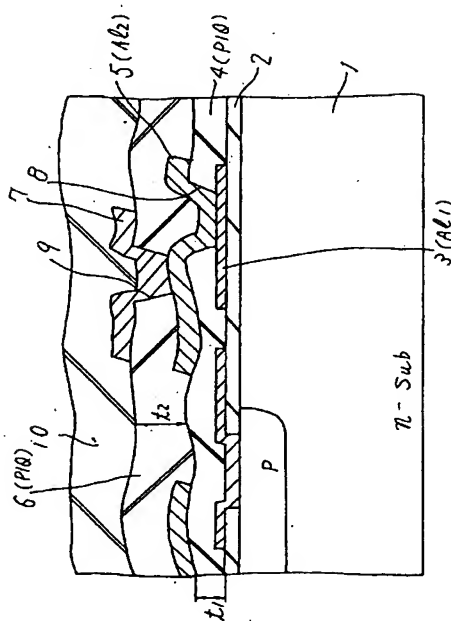
第14図は第13図の各Al配線パターン及びスルーホールを配置を示す平面図である。

1…半導体基体、2…表面酸化膜、3…第1層Al配線、4…第1層間絶縁膜、5…第2層Al配線、6…第2層間絶縁膜、7…第3層Al配線、8、9…スルーホール。

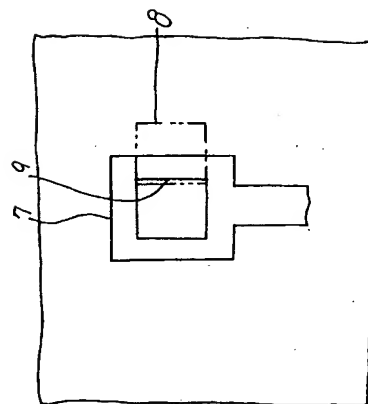
代理人 弁理士 高橋 明夫

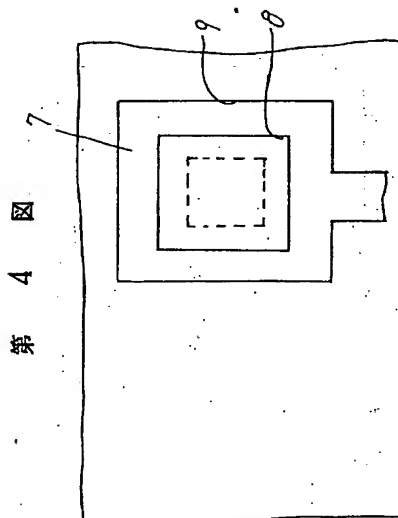
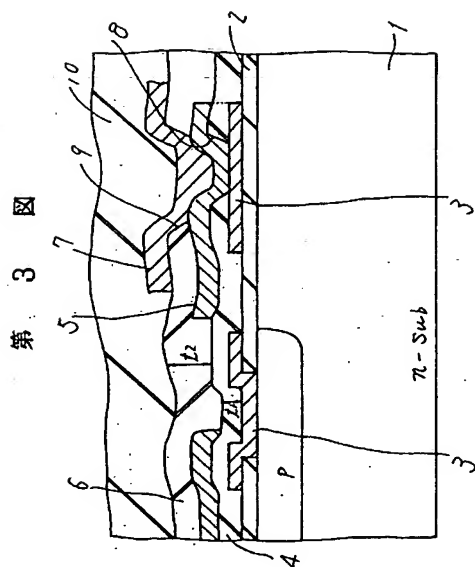
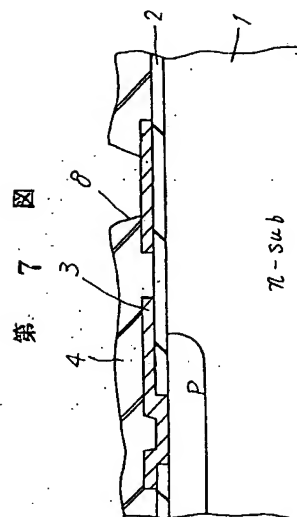
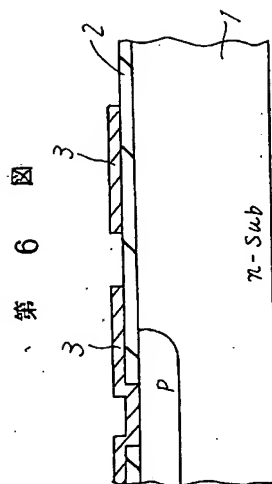
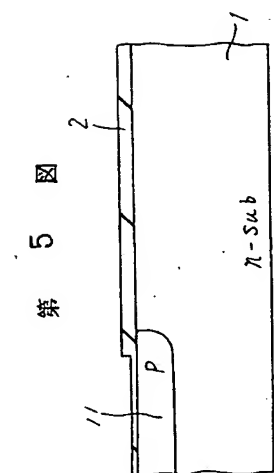


第1図

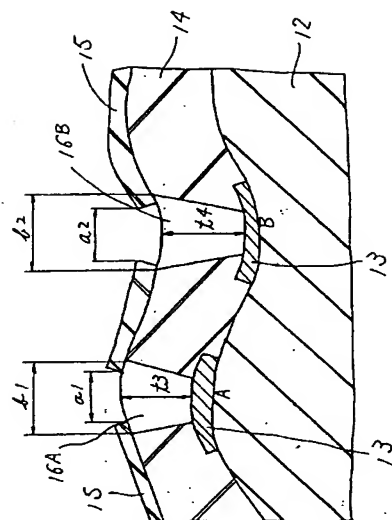


第2図

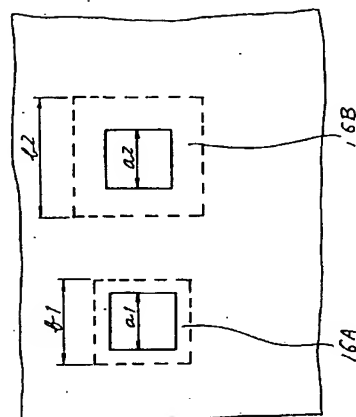




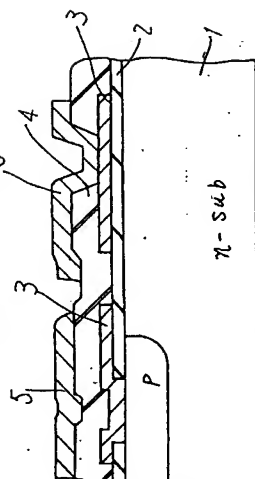
第 11 区



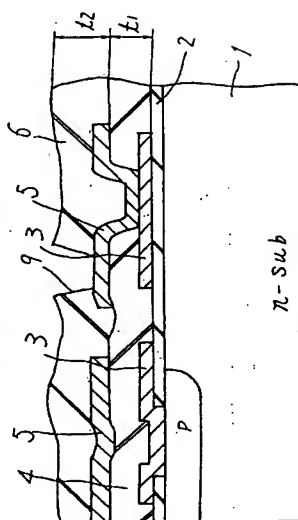
第 12 题



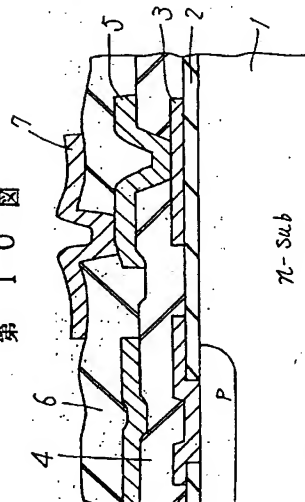
8 5 標



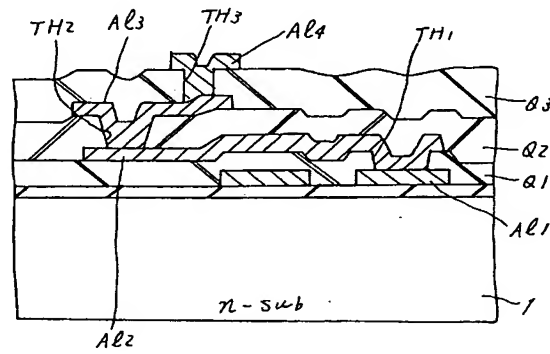
第 9 区



10 集



第 1 3 図



第 1 4 図

